

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 1 7 日
Date of Application:

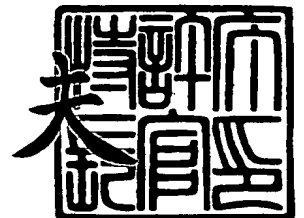
出 願 番 号 特 願 2 0 0 3 - 0 0 9 9 3 3
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 0 9 9 3 3]

出 願 人 セイコーエプソン株式会社
Applicant(s):

2 0 0 3 年 1 2 月 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 EP-0392601

【提出日】 平成15年 1月17日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 谷口 佳裕

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100090479

 【弁理士】

 【氏名又は名称】 井上 一

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090387

 【弁理士】

 【氏名又は名称】 布施 行夫

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090398

 【弁理士】

 【氏名又は名称】 大淵 美千栄

 【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 半導体層に形成された素子分離領域を含み、
前記素子分離領域の深さ X と、該素子分離領域において隣り合う不純物層を分離する領域の幅 Y とが、以下の関係を有する、半導体装置。

$$X/Y = 1.33 \sim 1.67$$

【請求項 2】 請求項 1 において、
前記素子分離領域の深さ X は、 $0.32 \sim 0.40 \mu\text{m}$ である、半導体装置。

【請求項 3】 請求項 1 または 2 において、
前記素子分離領域は、トレンチ素子分離からなる、半導体装置。

【請求項 4】 請求項 3 において、
前記素子分離領域は、前記半導体層に形成されたトレンチと、トレンチに形成された絶縁層と、を含む、半導体装置。

【請求項 5】 請求項 4 において、
前記絶縁層は、HDP-CVD 法により形成された、半導体装置。

【請求項 6】 請求項 4 において、
前記絶縁層は、TEOS プラズマ CVD 法により形成された、半導体装置。

【請求項 7】 請求項 4 において、
前記絶縁層は、SOG 法により形成された、半導体装置。

【請求項 8】 請求項 1 ないし 7 のいずれかにおいて、
前記隣り合う不純物層は、同じ導電型の 2 つの不純物層である、半導体装置。

【請求項 9】 請求項 1 ないし 8 のいずれかにおいて、
前記隣り合う不純物層は、隣り合うメモリセルにそれぞれ含まれる同じ導電型の 2 つの不純物層である、半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、信頼性に優れ、低消費電力化が可能な半導体装置に関する。

【0002】

【背景技術】

半導体装置は、一般に、基板やゲート電極、ならびに素子分離領域などの部材から構成され、これらの部材はそれぞれ異なる材質からなる。したがって、各部材の硬度や熱膨張率がそれぞれ異なるため、異なる材質からなる複数の部材が接合している領域にストレスが集中し、欠陥が生じる場合がある。

【0003】

例えば、半導体基板に結晶欠陥が発生することによって、データの書込や消失不良が生じ、半導体装置の信頼性が低下することがある。また、前記欠陥の発生によって、リーク電流が増加する場合がある。このようなリーク電流の増加は低消費電力化の妨げとなる。

【0004】

【発明が解決しようとする課題】

本発明の目的は、信頼性に優れ、低消費電力化が可能な半導体装置を提供することにある。

【0005】

【課題を解決するための手段】

本発明の半導体装置は、
半導体層に形成された素子分離領域を含み、
前記素子分離領域の深さ X と、該素子分離領域において隣り合う不純物層を分離する領域の幅 Y とが、以下の関係を有する。

【0006】

$$X/Y = 1.33 \sim 1.67$$

本発明の半導体装置によれば、前記素子分離領域の深さ X と、該素子分離領域において隣り合う不純物層を分離する領域の幅 Y とが、 $X/Y = 1.33 \sim 1.67$ という関係を有することにより、前記素子分離領域から前記半導体層へと加わる単位断面積当たりのストレスを緩和することができる。これにより、前記素子分離領域と前記半導体層との接合部分にストレスが集中するのを防止して、前

記半導体層に結晶欠陥が発生するのを防止することができる。その結果、データの書込や消失不良、ならびにリーク電流の発生を防止することができるため、信頼性に優れ、かつ、低消費電力化が可能である。

【0007】

ここで、 X/Y が1.33未満である場合、前記素子分離領域が分離する不純物層を十分に電氣的に分離できないことがある。一方、 X/Y が1.67を超える場合、前記素子分離領域から前記半導体層へ付加されるストレスが大きくなり、前記半導体層に結晶欠陥が発生することがある。

【0008】

なお、本明細書において、前記素子分離領域の幅とは、前記素子分離領域の最表面の幅をいう。また、例えば、前記素子分離領域が不純物層に四方を囲まれている場合は、前記素子分離領域の最表面の幅であって、かつ、対向する前記不純物層間の距離が短い方の幅をいう。

【0009】

本発明の半導体装置は、以下の(1)～(4)の態様をとることができる。

【0010】

(1) 前記素子分離領域の深さ X は、 $0.32 \sim 0.40 \mu\text{m}$ であることができる。

【0011】

(2) 前記素子分離領域は、トレンチ素子分離からなることができる。トレンチ素子分離領域は、半導体層に形成されたトレンチに絶縁層が埋め込まれることにより形成される。このため、前記素子分離領域がトレンチ素子分離からなる場合、前記半導体層のうち前記素子分離領域の近傍に大きなストレスが付加されやすい。これに対し、本発明によれば、前記構成を有することにより、前記素子分離領域がトレンチ素子分離からなる場合であっても、前記素子分離領域と前記半導体層との接合部分にストレスが集中するのを防止して、前記半導体層に結晶欠陥が発生するのを確実に防止することができる。

【0012】

この場合、前記素子分離領域は、前記半導体層に形成されたトレンチと、トレ

ンチに形成された絶縁層と、を含むことができる。

【0013】

ここで、前記絶縁層は、HDP-CVD法、TEOSプラズマCVD法、またはSOG法により形成できる。

【0014】

前記絶縁層がTEOSプラズマCVD法またはSOG法にて形成された場合、前記絶縁層から前記半導体層へと付加されるストレスは、前記絶縁層がHDP-CVD法にて形成された場合と比較して小さい。これにより、前記半導体層に結晶欠陥が発生するのを確実に防止することができる。

【0015】

また、HDP-CVD法によって形成される絶縁層は一般に緻密であることから、前記絶縁層がHDP-CVD法にて形成された場合、前記絶縁層がTEOSプラズマCVD法またはSOG法にて形成された場合よりも大きなストレスが、前記絶縁層から前記半導体層へと付加される。しかしながら、本発明によれば、前記絶縁層と前記半導体層との接合部分にストレスが集中するのを防止することができるため、前記絶縁層がHDP-CVD法にて形成された場合であっても、前記半導体層に結晶欠陥が発生するのを防止することができる。

【0016】

(3) 前記隣り合う不純物層は、同じ導電型の2つの不純物層であることができる。この構成によれば、例えば、前記2つの不純物層の近傍に導電層が形成されている場合に、前記2つの不純物層と前記導電層とによって、寄生バイポーラトランジスタが形成されるのを防止することができる。この結果、安定した電気的特性を得ることができる。

【0017】

(4) 前記隣り合う不純物層は、隣り合うメモリセルにそれぞれ含まれる同じ導電型の2つの不純物層であることができる。この構成によれば、前記(3)で説明した場合と同様の理由により、隣り合うメモリセル同士を電氣的に分離することができ、隣り合うメモリセルそれぞれについて、安定した電気的特性を得ることができる。

【0018】

【発明の実施の形態】

以下、本発明の好適な実施の形態について、図面を参照しながら説明する。

【0019】

1. 半導体装置の構造

[素子分離領域の構造]

図1は、本発明を適用した一実施の形態に係る半導体装置に含まれる素子分離領域19およびその周辺領域を模式的に示す断面図である。図2は、図1に示す素子分離領域19が形成された半導体記憶装置の一例を模式的に示す断面図である。本実施の形態においては、図2に示す半導体記憶装置がSRAMである場合を示す。図2、および図7～図9は、本実施の形態にかかるフルCMOS SRAMのメモリセル（以下、「SRAMセル」という）の一例を示す平面レイアウト図である。図3は、図2の領域A100の拡大図、図7は、図3に示す領域の下層（活性領域等）を示す図である。図4は、図2のB-B線に沿った断面図、図5は、図2のC-C線に沿った断面図である。図6は、SRAMの等価回路である。

【0020】

図1は、図2および図7のA-A線に沿った断面を模式的に示している。なお、図1においては、半導体基板10と、素子分離領域19およびその周辺領域とについてのみ図示し、半導体基板10の上方に形成される層（絶縁層および配線層等）については図示を省略する。

【0021】

本実施の形態の半導体装置は、素子分離領域19を含む。素子分離領域19は、例えばシリコン基板からなる半導体基板10に形成され、かつ、トレンチ素子分離からなる。

【0022】

素子分離領域19はそれぞれ、絶縁層16がトレンチ19aに埋め込まれることにより形成される。絶縁層16は、たとえば高密度プラズマCVD（HDP-CVD; High Density Plasma）法、LPCVD（Low Pressure CVD）法、熱CV

D法、TEOSプラズマCVD法、SOG法などを用いて形成することができる。

【0023】

素子分離領域19は、不純物層を分離する。本実施の形態においては、素子分離領域19は、図2および図7のA-A線周辺において、隣り合うメモリセルA100にそれぞれ含まれる同じ導電型の不純物層12f, 12hを分離する。

【0024】

本実施の形態において、素子分離領域19の幅Yとは、図1に示すように、素子分離領域19の最表面の幅をいう。具体的には、素子分離領域19の幅Yは、隣り合うメモリセルにおいてそれぞれ隣り合う同じ導電型の不純物層12f, 12h間に形成された素子分離領域の幅である。なお、本実施の形態では図示しないが、素子分離領域19が不純物層に四方を囲まれている場合は、素子分離領域19の幅は、対向する不純物層間の距離が短い方の距離をいう。

【0025】

素子分離領域19の深さXと、素子分離領域19において隣り合う不純物層12f, 12hを分離する領域の幅Yとは、 $X/Y = 1.33 \sim 1.67$ という関係を有する。ここで、 X/Y が1.33未満である場合、素子分離領域19が分離する不純物層12f, 12hを電氣的に十分に分離できないことがある。一方、 X/Y が1.67を超える場合、素子分離領域19から半導体基板10へ付加されるストレスが大きくなり、半導体基板10に結晶欠陥が発生することがある。

【0026】

また、素子分離領域19の深さXは、 $0.32 \sim 0.40 \mu\text{m}$ であることが望ましい。

【0027】

[メモリセルA100の構造]

次に、図1に示す素子分離領域19が形成されているメモリセルA100の構造について説明する。

【0028】

＜平面構造＞

図2は、本実施の形態のSRAMセルの第1層、第2層、および第3層を示す平面図であり、図3は、図2における領域A100の拡大図である。かかるSRAMセルは、シリコン基板からなる半導体基板10（後述する）上に、第1層、第2層、および第3層の導電層を、それぞれ層間絶縁層を介して順に重ねた構造を有している。第1層には、図7に示すように、ポリシリコンを構成要素とするゲートーゲート接続層21a、21b、および副ワード配線層（副ワード線）23が配置されている。第2層には、図8に示すように、ドレインードレイン接続層31a、31b等が配置されている。第3層には、図9に示すように、ドレインーゲート接続層41a、41b等が配置されている。図7に示す構造上に図8に示す構造が位置し、図8に示す構造上に図9に示す構造が位置している。これらを一つの図で示したのが図2である。

【0029】

図2には、主としてフリップフロップを構成する部分が表れている。この部分において領域A100に着目して説明する。領域A100は、一つのメモリセルが形成される領域を示している。他の図面の領域A100も同じ意味である。領域A100に含まれる6つのトランジスタからなるCMOS SRAMの等価回路を図6に示す。

【0030】

領域A100には、図2、図3、および図6に示すように、1つのメモリセルに6個のトランジスタQ₁～Q₆が設けられている。N型ウェル11N（図4参照）内に分離された活性領域が形成され、一方の活性領域に負荷トランジスタQ₅が形成され、他方の活性領域に負荷トランジスタQ₆が形成されている。また、P型ウェル11P（図4参照）内に分離された活性領域が形成されており、一方の共通活性領域には転送トランジスタQ₁および駆動トランジスタQ₃が形成され、他方の共通活性領域には転送トランジスタQ₂および駆動トランジスタQ₄が形成されている。

【0031】

そして、駆動トランジスタQ₃と負荷トランジスタQ₅とでCMOSインバー

タが構成され、駆動トランジスタ Q_4 と負荷トランジスタ Q_6 とでCMOSインバータが構成され、これらのインバータ同士が接続されてフリップフロップ回路が構成されている。

【0032】

第1層において、ゲートーゲート接続層21a、21bは、図2、図3および図7に示すように、それぞれ直線状のパターンを有している。図7に示すように、ゲートーゲート接続層21a、21bおよび副ワード配線層23と活性領域とが交差する部分は、それぞれゲート電極G1、G2、G3、G4、G5、およびG6を構成する。すなわち、ゲートーゲート接続層21aは、駆動トランジスタ Q_3 および負荷トランジスタ Q_5 のゲート電極G3、G5同士を接続している。また、ゲートーゲート接続層21bは、駆動トランジスタ Q_4 および負荷トランジスタ Q_6 のゲート電極G4、G6同士を接続している。駆動トランジスタ Q_3 、 Q_4 のゲート長は、例えば、 $0.18\mu\text{m}$ である。負荷トランジスタ Q_5 、 Q_6 のゲート長は、例えば、 $0.20\mu\text{m}$ である。

【0033】

副ワード配線層23は、上面に形成される主ワード配線層（主ワード線）43によって活性化あるいは非活性化される。副ワード配線層23は転送トランジスタ Q_1 、 Q_2 のゲート電極G1、G2を接続している。これらのゲート長は、例えば、 $0.24\mu\text{m}$ である。

【0034】

第2層において、ドレインードレイン接続層31a、31bは、図2、図3、および図8に示すように、それぞれ直線状のパターンを有し、各CMOSのドレイン同士を接続している。ドレインードレイン接続層31a、31bは、半導体基板10上に形成された第1層目の層間絶縁層65（図4参照）上に形成されている。さらに、図7に示すように、第1層目の層間絶縁層65には第1のコンタクト部C11～C19（以下、「コンタクト部C11～C19」とする）が形成されている。

【0035】

ドレインードレイン接続層31aは、コンタクト部C14およびコンタクト部

C11を介して、駆動トランジスタQ₃のドレイン領域12fと、負荷トランジスタQ₅のドレイン領域12iとを接続している。また、ドレインードレイン接続層31bは、コンタクト部C15およびコンタクト部C12を介して、駆動トランジスタQ₄のドレイン領域12hと、負荷トランジスタQ₆のドレイン領域12kとを接続している。

【0036】

また、図8に示すように、ドレインードレイン接続層31a、31bと同じレベルに、第1のコンタクトパッド層35a、35bおよびV_{SS}局所配線層37がコンタクト部C11～C19と重なるように形成されている。ドレインードレイン接続層31a、31b、第1のコンタクトパッド層35a、35b、およびV_{SS}局所配線層37により第2層目の導電層が構成されている。これらは、例えば、高融点金属からなる金属層、高融点金属の窒化物層、高融点金属と金属との積層、あるいは高融点金属からなる金属層と高融点金属の窒化物層との積層からなる。具体的には、チタン、窒化チタン、チタンおよびアルミニウムからなる積層、あるいはチタンおよび窒化チタンからなる積層が例示できる。

【0037】

第3層において、図2、図3、および図9に示すように、ドレインーゲート接続層41a、41bは、第2層目の層間絶縁層71（図4参照）上に形成されており、さらに、第2層目の層間絶縁層71には第2のコンタクト部C21～C26（以下、「コンタクト部C21～C26」とする）が形成されている。一方、第1層目の層間絶縁層65および第2層目の層間絶縁層71を貫通する第3のコンタクト部C31、C32（以下、「コンタクト部C31、C32」とする）が形成されている。

【0038】

ゲートーゲート接続層21aとドレインードレイン接続層31bとは、コンタクト部C22、C31を介してドレインーゲート接続層41bにより接続されている。また、ゲートーゲート接続層21bとドレインードレイン接続層31aとは、コンタクト部C21、C32を介してドレインーゲート接続層41aにより接続されている。

【0039】

さらに、図7に示すように、ドレインゲート接続層41a、41bと同じレベルに、第2のコンタクトパッド層45a、45b、V_{SS}コンタクトパッド層47、およびV_{DD}コンタクトパッド層49が形成されている。第2のコンタクトパッド層45a、45b、V_{SS}コンタクトパッド層47、およびV_{DD}コンタクトパッド層49は、それぞれ、コンタクト部C23～C26と重なるように形成されており、さらに、これらの層の上には、第4のコンタクト部C41～C44（以下、「コンタクト部C41～C44」とする）が形成されている。コンタクト部C41は、ビット配線層（ビット線）と転送トランジスタQ₁のソース／ドレイン領域12aとを接続するために形成され、コンタクト部C42は、上部配線層であるビット配線層（ビット線／BL）53（図4参照）と転送トランジスタQ₂のソース／ドレイン領域12cとを接続するために形成される。なお、ソース／ドレインとは、ソースまたはドレインの機能を果たすという意味である。コンタクト部C43は、Pウエル11P（図4参照）とV_{SS}配線層（図示しない）とを接続するために形成され、コンタクト部C44はNウエル11N（図4参照）とV_{DD}配線層（図示しない）とを接続するために形成される。

【0040】

<断面構造>

つぎに、図4、図5、および図7を参照しながら、本実施の形態のSRAMセルの断面構造について説明する。

【0041】

本実施の形態にかかるSRAMセルにおいては、半導体基板10上に、ゲートゲート接続層21a、21b、ドレインードレイン接続層31a、31b、ドレインゲート接続層41a、41bが、それぞれ層間絶縁層を介して順に形成されている。

【0042】

半導体基板10には、図4および図7に示すように、Nウエル11N、Pウエル11P、不純物層（ソース／ドレイン領域）12a～12l、素子分離領域19が形成されている。Pウエル11PおよびNウエル11Nは、素子分離領域1

9によって電氣的に分離されており、さらに、素子分離領域19はMOSトランジスタの活性領域の周囲にも形成されている。

【0043】

まず、図4を参照しながら、図2におけるB-B線に沿った断面について説明する。

【0044】

Nウェル11N内には、負荷トランジスタのQ₆のドレイン領域12kが形成され、Pウェル11P内には、駆動トランジスタQ₄のドレイン領域12hおよび転送トランジスタQ₂のソース／ドレイン領域12dが形成されている。各ソース／ドレイン領域12a～12l上には、シリサイド層122がそれぞれ形成されており、さらにその上には、窒化シリコンからなる絶縁層126が形成されている。

【0045】

MOSトランジスタが形成された半導体基板10上には、副ワード配線層23が形成されている。さらに、半導体基板10上には、第1層目の層間絶縁層65が形成されている。第1層目の層間絶縁層65には、各ソース／ドレイン領域12c、12d(12h)、12kに接続されるコンタクト部C18、C15、C12が形成されている。

【0046】

ソース／ドレイン領域12d(12h)上には、シリサイド層122が形成されている。コンタクト部C15は、シリサイド層122に接続して形成された高融点金属の窒化物層と、該高融点金属の窒化物層上に形成され、第1のコンタクトホール63の内部に充填されたプラグ層とから構成される。前記プラグ層は、例えば、タンゲステン等からなる。前記高融点金属の窒化物層は、主にバリア層として機能している。

【0047】

また、駆動トランジスタQ₄のドレイン領域12hと負荷トランジスタQ₆のドレイン領域12kとを接続するためのドレインードレイン接続層31bと、第1のコンタクトパッド層35bとが、第1層目の層間絶縁層65上に形成されて

いる。第1のコンタクトパッド層35bは、ドレインードレイン接続層31bと同一工程で形成され、コンタクト部C18を介して転送トランジスタQ₂のソース／ドレイン領域12cと接続されている。

【0048】

さらに、第1層目の層間絶縁層65上には、第2層目の層間絶縁層71が形成されている。第2層目の層間絶縁層71には、コンタクト部C22およびC24が形成されている。コンタクト部C22およびC24等の第2のコンタクト部は、第1のコンタクト部と同様の構成を有し、第2のコンタクトホール79に、例えばタングステンからなるプラグ層が埋め込まれて形成されている。

【0049】

第2層目の層間絶縁層71の上には、ドレインーゲート接続層41bが形成されている。ドレインーゲート接続層41bは、コンタクト部C22を介してドレインードレイン接続層31bと接続されている。また、コンタクト部C24とコンタクト部C42とを接続する第2のコンタクトパッド層45bが、ドレインーゲート接続層41bと同一工程にて形成されている。さらに、コンタクト部C42が上部配線層であるビット配線層53（図6のビット線／BL）に接続されていることにより、転送トランジスタQ₂のソース／ドレイン領域12cとビット配線層53とが接続されている。ビット配線層53には、他方のビット配線層（図6のビット線BL）に流れる信号と相補する信号が流れる。

【0050】

ドレインーゲート接続層41bは、例えば、半導体基板10から近い側から順に、高融点金属の窒化物層42、アルミニウムや銅またはこれらの合金層からなる金属層44、高融点金属からなる金属層46、高融点金属の窒化物層48が積層されて形成されている。具体的には、高融点金属の窒化物層42に窒化チタン、金属層44にアルミニウム、高融点金属からなる金属層46にチタン、高融点金属の窒化物層48に窒化チタンを用いてドレインーゲート接続層41bを形成することができる。また、コンタクト部C42は、第1のコンタクト部と同様の構成を有し、第4のコンタクトホール83に、例えばタングステンからなるプラグ層が埋め込まれて形成されている。

【0051】

また、第2層目の層間絶縁層71上には、図4に示すように、第3層目の層間絶縁層85が形成されており、ビット配線層53は第3層目の層間絶縁層85上に形成されている。第3層目の層間絶縁層85は、例えば、酸化シリコン、FSG（フッ素ドーパされた酸化シリコン）（fluorine doped silicon oxide）、あるいはこれらを積層して形成されたものである。

【0052】

つぎに、図2および図5を参照して、図2のC-C線に沿った断面について説明する。図5において、図4に示す部材と同一の部材については、同一の符号を付してその詳細な説明を省略する。

【0053】

素子分離領域19によって電氣的に分離されたPウエル11PおよびNウエル11N上に、ゲートーゲート接続層21bが形成されている。一方、Pウエル11P上には駆動トランジスタQ4が、およびNウエル11N上には負荷トランジスタQ6が、それぞれ形成されており、駆動トランジスタQ4と負荷トランジスタQ6とは、ゲートーゲート接続層21bにより接続されている。

【0054】

ゲートーゲート接続層21b上には、シリサイド層124、窒化シリコン等からなる絶縁層126が順に積層され、さらにその上には、第1層目の層間絶縁層65および第2層目の層間絶縁層71が形成されている。また、第2層目の層間絶縁層71上にはドレインーゲート接続層41aが形成されている。さらに、第1層目の層間絶縁層65および第2層目の層間絶縁層71を貫通するコンタクト部C32が形成されており、コンタクト部C32を介してゲートーゲート接続層21bとドレインーゲート接続層41aとが接続されている。コンタクト部C32は、第1のコンタクト部と同様の構成を有し、第3のコンタクトホール77に、例えばタングステンからなるプラグ層が埋め込まれることにより形成されている。

【0055】

<各要素の接続関係>

つぎに、図3、図6、および図7を参照しながら、各要素の接続関係を説明する。

【0056】

転送トランジスタ Q_1 は、副ワード配線層23の両サイドに n^+ 型ソース／ドレイン領域12a, 12bを有している。ソース／ドレイン領域12aは、コンタクト部C16、第1のコンタクトパッド層35a、コンタクト部C23、第2のコンタクトパッド層45a、およびコンタクト部C41を介してビット配線層53（図6のビット線／BL）に接続されている。

【0057】

転送トランジスタ Q_2 は、副ワード配線層23の両サイドに n^+ 型ソース／ドレイン領域12c, 12dを有している。ソース／ドレイン領域12cは、コンタクト部C18、第1のコンタクトパッド層35b、コンタクト部C24、第2のコンタクトパッド層45b、およびコンタクト部C42を介してビット配線層53（図6のビット線／BL）に接続されている。

【0058】

駆動トランジスタ Q_3 は、ゲートーゲート接続層21aの両サイドに n^+ 型ソース／ドレイン領域12e, 12fを有している。ソース領域12eは、コンタクト部C13、 V_{SS} 局所配線層37、コンタクト部C25、 V_{SS} コンタクトパッド層47、およびコンタクト部C43を介して V_{SS} 配線層（図6の V_{SS} に相当する）に接続されている。

【0059】

駆動トランジスタ Q_4 は、ゲートーゲート接続層21bの両サイドにソース／ドレイン領域12g, 12hを有している。ソース領域12gは、ソース領域12eと共通の経路にて、コンタクト部C13からコンタクト部C43を介して V_{SS} 配線層に接続されている。

【0060】

負荷トランジスタ Q_5 は、ゲートーゲート接続層21aの両サイドに p^+ 型ソース／ドレイン領域12i, 12jを有しており、ソース領域12jは、コンタクト部C19、 V_{DD} 配線層33、コンタクト部C26、 V_{DD} コンタクトパッド層49、およびコンタクト部C44を介して V_{DD} 配線層（図6の V_{DD} に相当する）に接続されている。

ド層 49、およびコンタクト部 C44 を介して V_{DD} 配線層（図 6 の V_{DD} に相当する）に接続されている。負荷トランジスタ Q_6 は、ゲートーゲート接続層 21b の両サイドに p^+ 型ソース／ドレイン領域 12k, 12l を有しており、ソース領域 12l はソース領域 12j と共通の経路にて、 V_{DD} 配線層に接続されている。

【0061】

2. 作用効果

本実施の形態に係る半導体装置による利点は以下の通りである。

【0062】

(1) 第 1 に、素子分離領域 19 の深さ X と、素子分離領域 19 において隣り合う不純物層 12f, 12h を分離する領域の幅 Y とが、 $X/Y = 1.33 \sim 1.67$ という関係を有することにより、不純物層 12f, 12h を電氣的に分離するという機能を保持しつつ、素子分離領域 19 から半導体基板 10 へと加わる単位断面積当たりのストレスを緩和することができる。これにより、半導体基板 10 に結晶欠陥が発生するのを防止することができるため、信頼性に優れ、低消費電力化が可能な半導体装置を得ることができる。

【0063】

(2) 第 2 に、素子分離領域 19 は、同じ導電型の 2 つの不純物層 12f, 12h を分離することができる。この構成によれば、例えば、2 つの不純物層 12f, 12h の近傍に導電層（図示せず）が形成されている場合に、2 つの不純物層 12f, 12h と前記導電層とによって、寄生バイポーラトランジスタが形成されるのを防止することができる。この結果、安定した電氣的特性を得ることができる。特に、本実施の形態においては、隣り合うメモリセル A100 にそれぞれ含まれる同じ導電型の不純物層 12f, 12h を分離することができる（図 2 および図 7 参照）。この構成によれば、隣り合うメモリセル A100 同士を電氣的に分離することができ、隣り合うメモリセル A100 それぞれについて、安定した電氣的特性を得ることができる。

【0064】

(3) 第 3 に、素子分離領域 19 を構成する絶縁層 16 を HDP-CVD 法、

TEOS プラズマ CVD 法、または SOG 法にて形成できる。

【0065】

絶縁層 16 が TEOS プラズマ CVD 法または SOG 法にて形成された場合、絶縁層 16 から半導体基板 10 へと付加されるストレスは、前記絶縁層が HDP-CVD 法にて形成された場合と比較して小さい。これにより、半導体基板 10 に結晶欠陥が発生するのを確実に防止することができる。

【0066】

また、HDP-CVD 法によって形成される絶縁層は一般に緻密であることから、絶縁層 16 が HDP-CVD 法にて形成された場合、前記絶縁層が TEOS プラズマ CVD 法または SOG 法にて形成された場合よりも大きなストレスが、絶縁層 16 から半導体基板 10 へと付加される。しかしながら、本実施の形態の半導体装置によれば、絶縁層 16 と半導体基板 10 との接合部分にストレスが集中するのを防止することができる。このため、絶縁層 16 が HDP-CVD 法にて形成された場合であっても、半導体基板 10 に結晶欠陥が発生するのを防止することができる。

【0067】

本発明は、上述した実施の形態に限定されるものではなく、種々の変形が可能である。例えば、本発明は、実施の形態で説明した構成と実質的に同一の構成（例えば、機能、方法および結果が同一の構成、あるいは目的および結果が同一の構成）を含む。また、本発明は、実施の形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施の形態で説明した構成と同一の作用効果を奏する構成または同一の目的を達成することができる構成を含む。また、本発明は、実施の形態で説明した構成に公知技術を付加した構成を含む。

【0068】

例えば、上記実施の形態では、半導体層としてバルク状の半導体基板を用いたが、SOI 基板の半導体層を用いることもできる。

【図面の簡単な説明】

【図 1】 本発明を適用した一実施の形態に係る半導体装置に含まれる素子分離領域およびその周辺領域を模式的に示す断面図である。

【図 2】 本発明が適用された S R A M メモリセルのレイアウトを示す平面図である。

【図 3】 図 2 に示す S R A M メモリセルの領域 A 1 0 0 を拡大して示す平面図である。

【図 4】 図 2 に示す S R A M メモリセルの B - B 線に沿った断面図である。

【図 5】 図 2 に示す S R A M メモリセルの C - C 線に沿った断面図である。

【図 6】 S R A M の等価回路である。

【図 7】 図 2 に示す S R A M メモリセルにおけるゲートゲート接続層およびソース／ドレイン領域を示す平面図である。

【図 8】 図 2 に示す S R A M メモリセルにおいて、ドレインードレイン接続層を示す平面図である。

【図 9】 図 2 に示す S R A M メモリセルにおいて、ドレインーゲート接続層を示す平面図である。

【符号の説明】

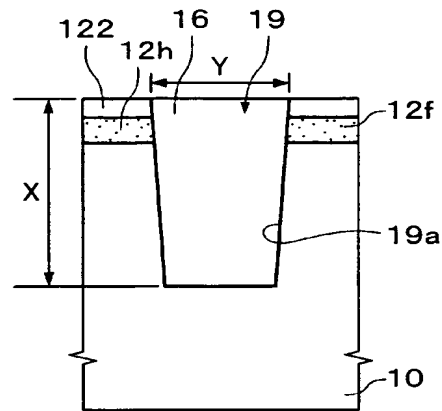
10 半導体基板、 11N Nウエル、 11P Pウエル、 12a ~ 12l ソース／ドレイン領域（不純物層）、 16 絶縁層、 19 素子分離領域、 19a トレンチ、 21a, 21b ゲートゲート接続層、 23 副ワード配線層、 31a, 31b ドレインードレイン接続層、 33 VDD配線層、 35a, 35b 第1のコンタクトパッド層、 37 VSS局所配線層、 39 ダミーパターン層、 40 ハードマスク層、 41a, 41b ドレインーゲート接続層、 42 高融点金属の窒化物層、 43 主ワード配線層、 44 金属層、 45a, 45b 第2のコンタクトパッド層、 46 高融点金属からなる金属層、 47 VSSコンタクトパッド層、 48 高融点金属の窒化物層、 49 VDDコンタクトパッド層、 53 ビット配線層（ビット線／BL）、 63 第1のコンタクトホール、 65 第1層目の層間絶縁層、 71 第2層目の層間絶縁層、 77 第3のコンタクトホール、 79 第2のコンタクトホール、 83 第4のコンタクトホール、

8 5 第 3 層目の層間絶縁層、 1 2 2, 1 2 4 シリサイド層、 1 2 3
ゲート絶縁層、 1 2 6 絶縁層、 1 2 7, 1 2 8 サイドウォール絶縁層、
2 0 1 高融点金属の窒化物層、 2 0 2 プラグ層、 C 1 1 ~ C 1 9 第
1 のコンタクト部、 C 2 1 ~ C 2 6 第 2 のコンタクト部、 C 3 1, C 3 2
第 3 のコンタクト部、 C 4 1 ~ C 4 4 第 4 のコンタクト部、 Q 1, Q 2
転送トランジスタ、 Q 3, Q 4 駆動トランジスタ、 Q 5, Q 6 負荷ト
ランジスタ

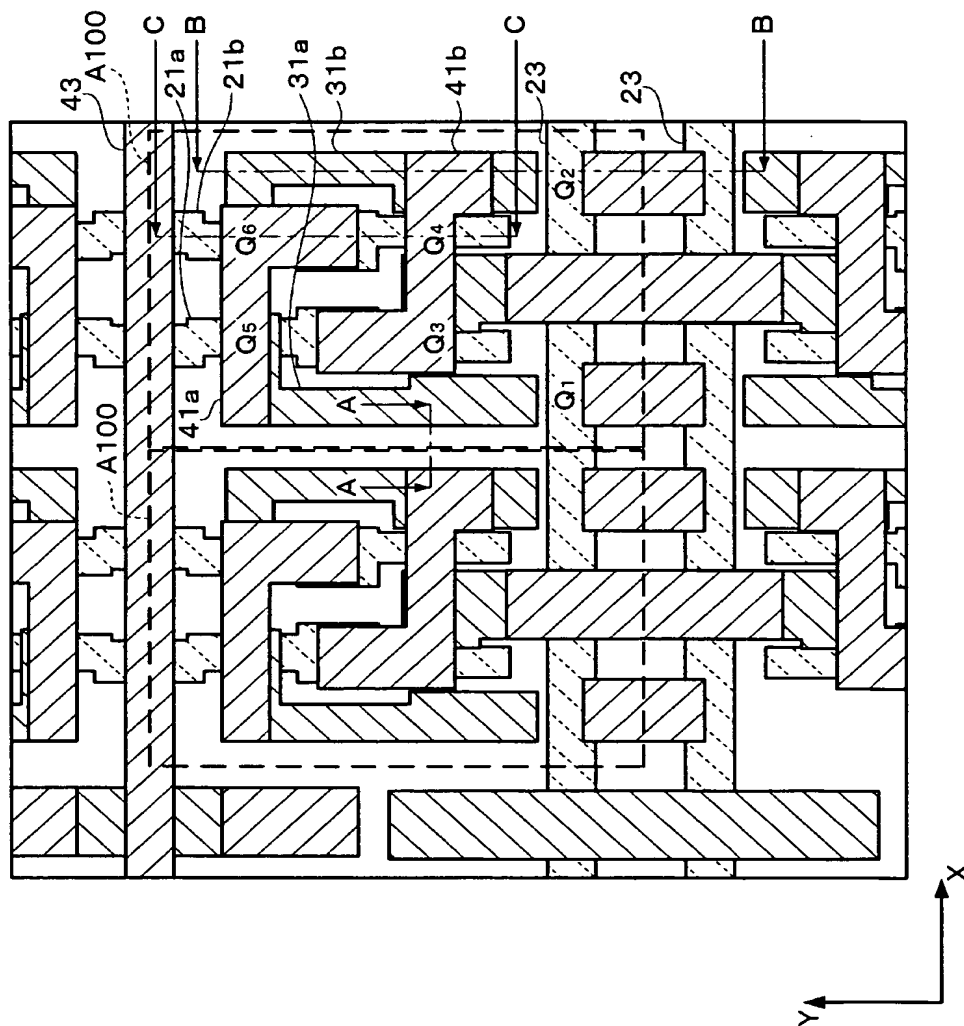
【書類名】

図面

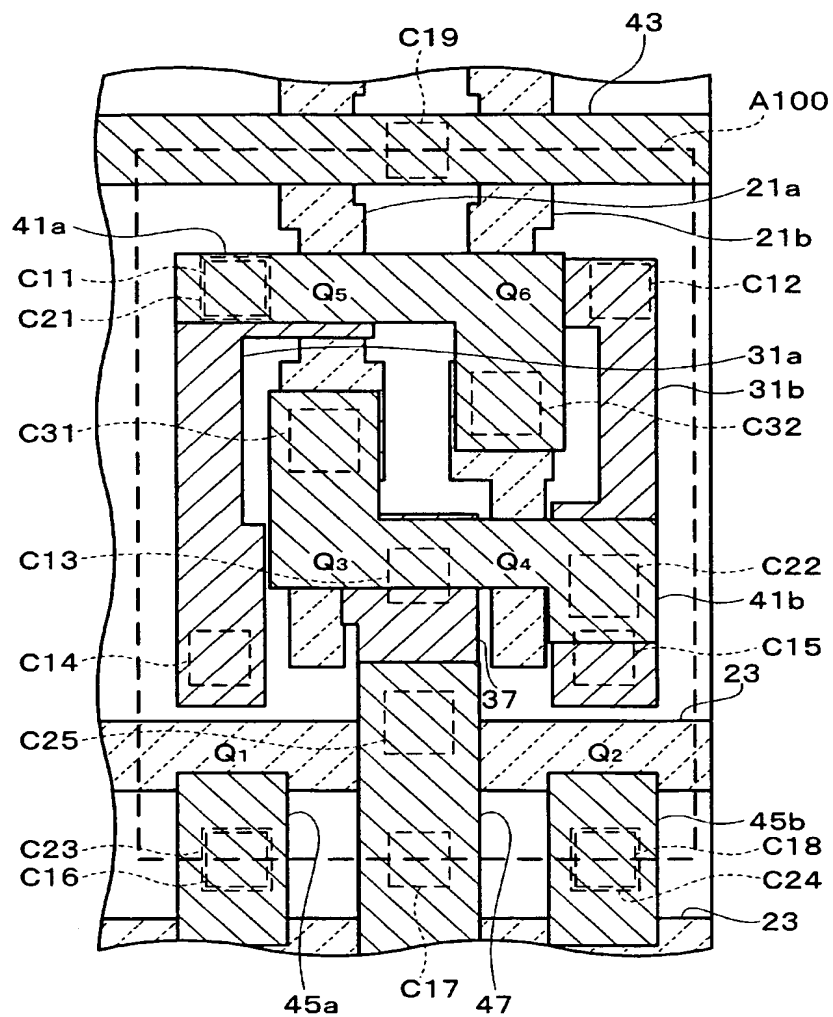
【図 1】



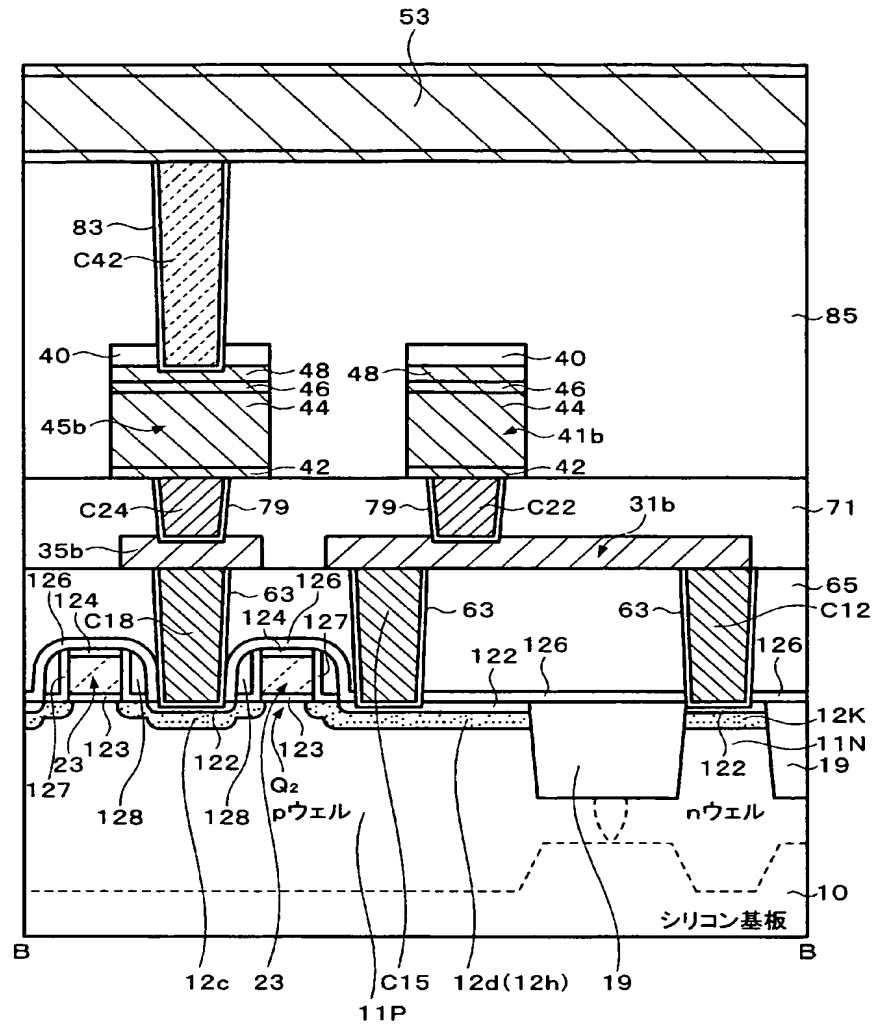
【図 2】



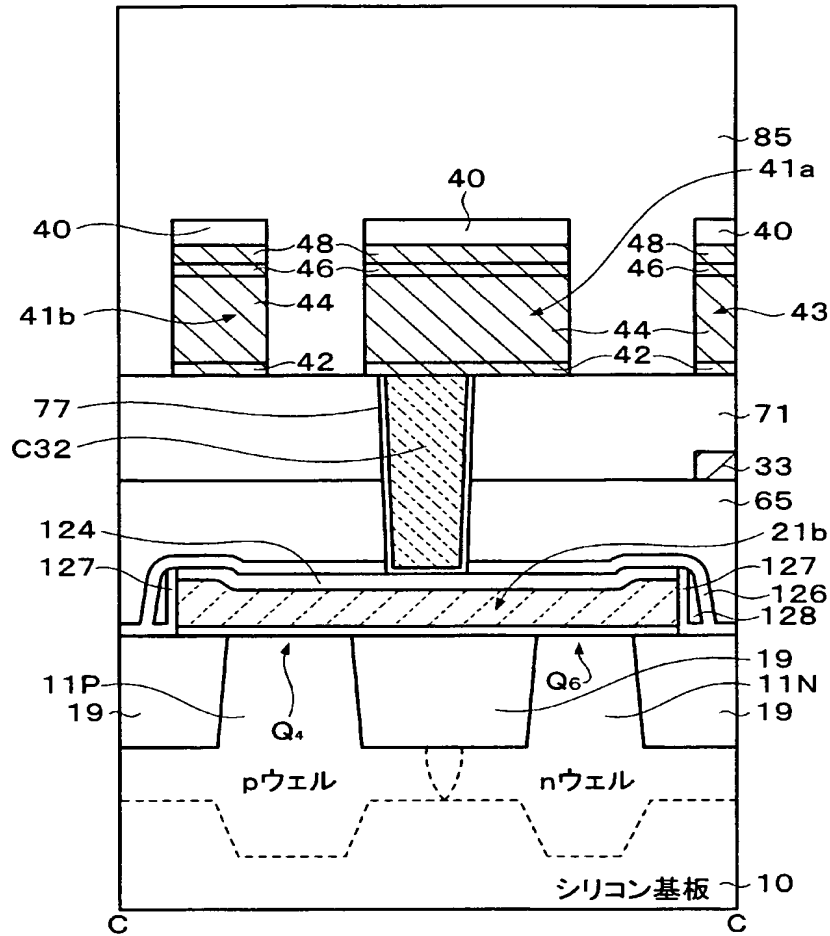
【図 3】



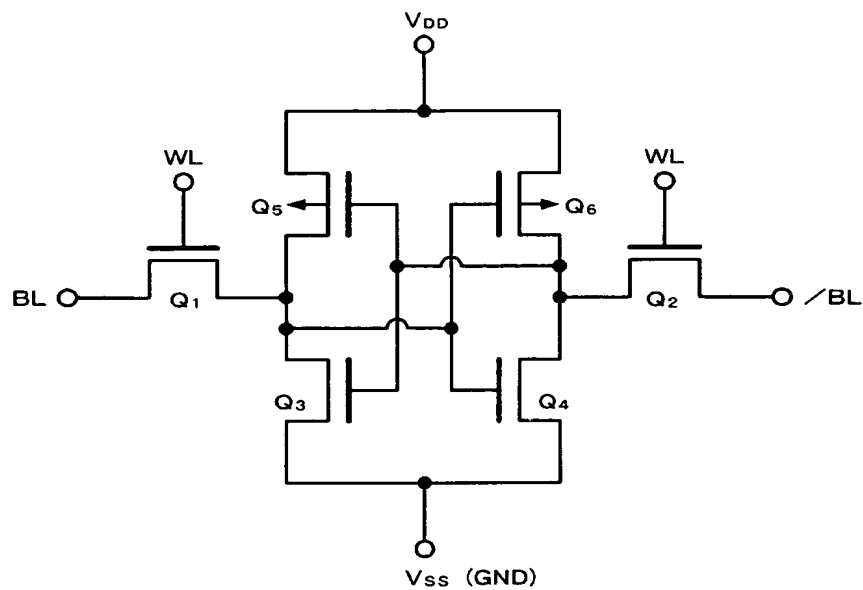
【図4】



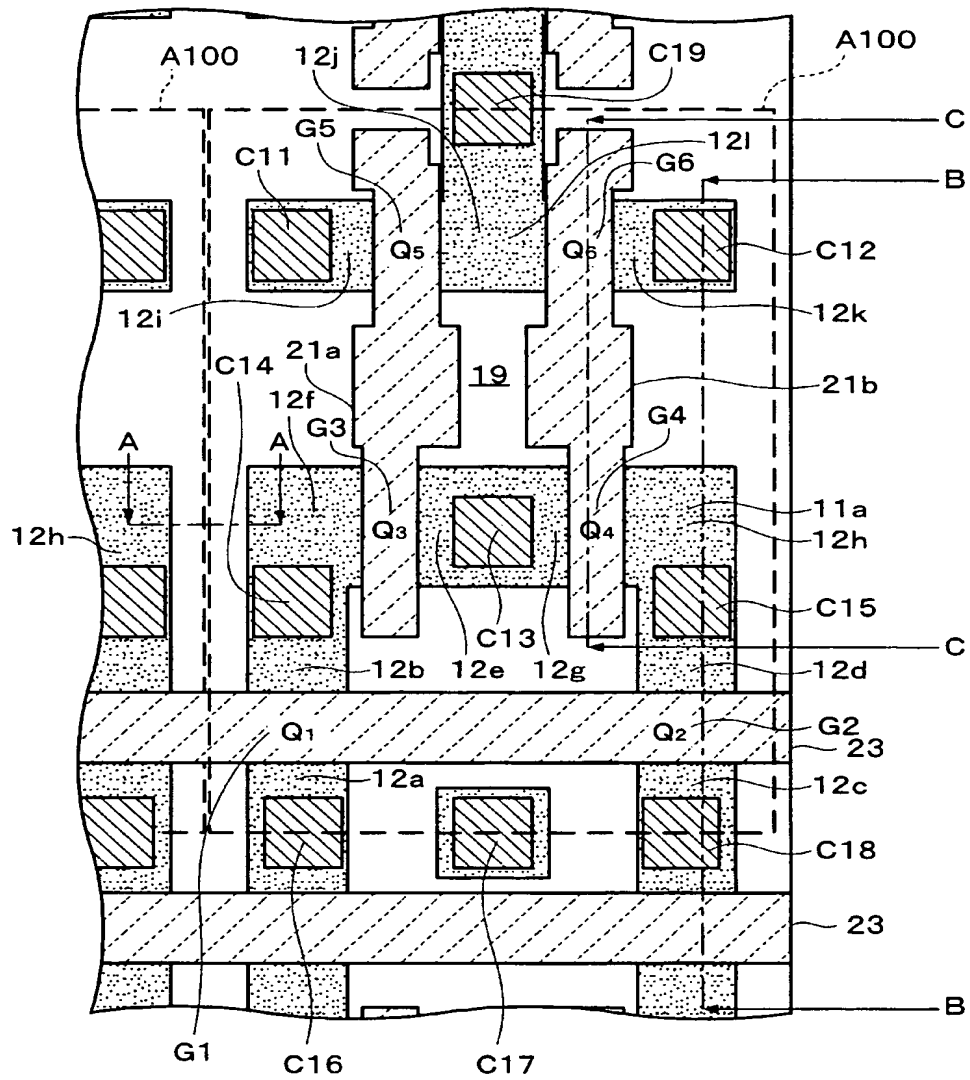
【図 5】



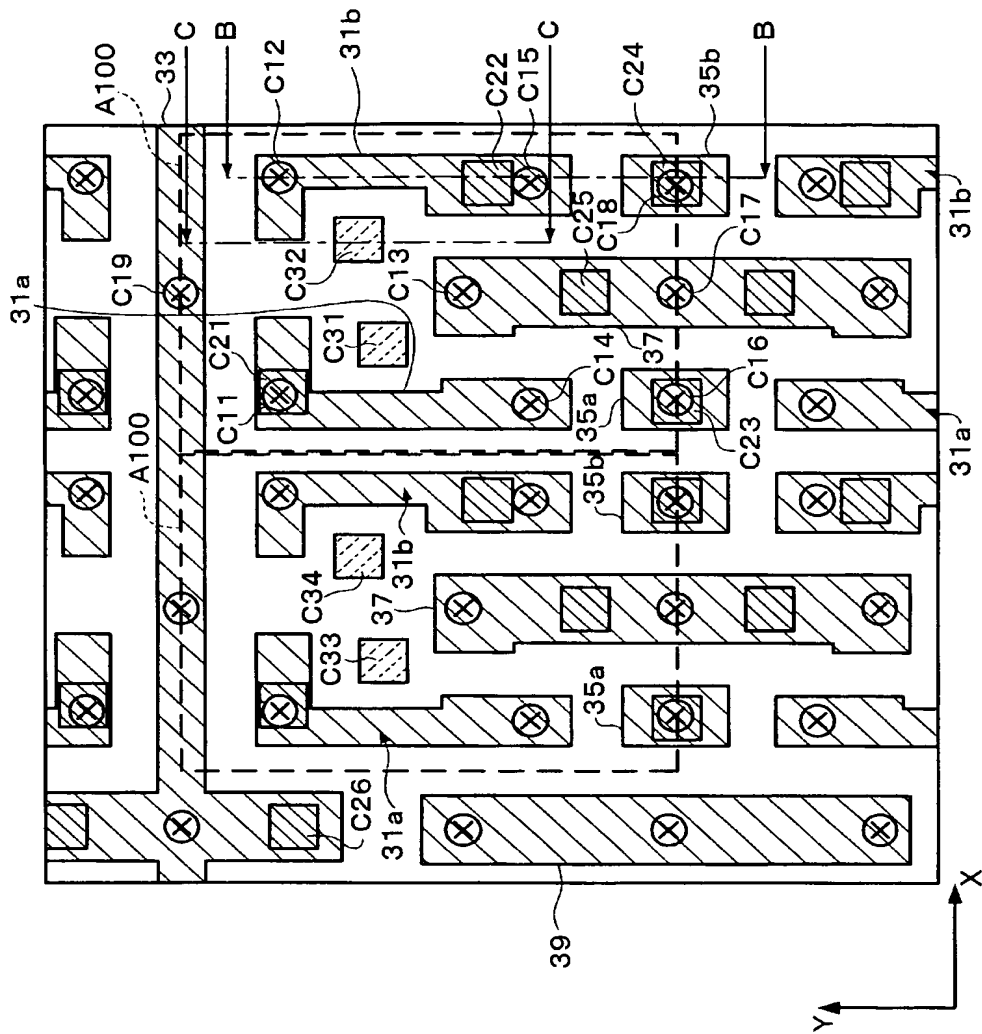
【図 6】



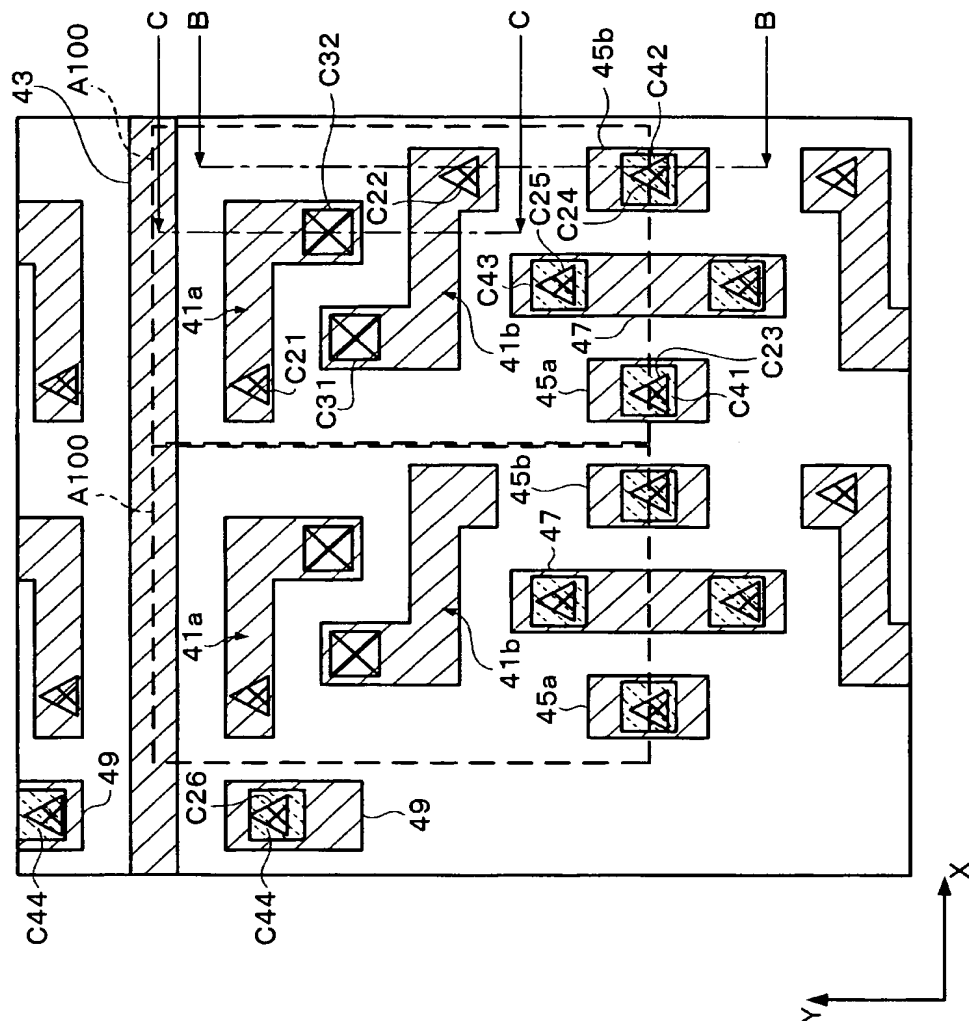
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 信頼性に優れ、低消費電力化が可能な半導体装置を提供する。

【解決手段】 本発明の半導体装置は、半導体基板 10 に形成された素子分離領域 19 を含み、素子分離領域 19 の深さ X と、素子分離領域 19 において隣り合う不純物層 12 f, 12 h を分離する領域の幅 Y とが、以下の関係を有する。

$$X/Y = 1.33 \sim 1.67$$

【選択図】 図 1

特願 2 0 0 3 - 0 0 9 9 3 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社